

Atty. Docket No. OPP 031051 US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF: :
Young-Hun SEO : GROUP ART UNIT:
SERIAL NO: NEW APPLICATION :
FILED: HEREWITH : EXAMINER:
FOR: METHOD OF FORMING TRENCH
IN SEMICONDUCTOR DEVICE

I hereby certify that this document is being deposited with the United States Postal Service as Express Mail No. ER 085424759 US in an envelope addressed to Commissioner for Patents, Mail Stop Patent Application, Washington, D.C. 20231, on November 25, 2003.

By: 

Andrew D. Fortney

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests the benefit of the filing date of the following prior foreign application(s) under the Paris Convention for the Protection of Intellectual Property:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0081990	December 20, 2002	Republic of Korea

A certified copy of the priority application is attached hereto.

Respectfully submitted,



Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0081990
Application Number

출원 년 월 일 : 2002년 12월 20일
Date of Application DEC 20, 2002

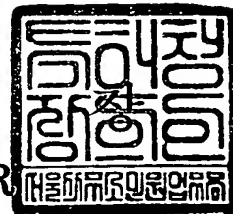
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 09 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
 【권리구분】 특허
 【수신처】 특허청장
 【참조번호】 0003
 【제출일자】 2002.12.20
 【발명의 명칭】 반도체 소자의 트렌치 형성 방법
 【발명의 영문명칭】 Formation method of trench in semiconductor device
 【출원인】

【명칭】 아남반도체 주식회사

【출원인코드】 1-1998-002671-9

【대리인】

【명칭】 유미특허법인

【대리인코드】 9-2001-100003-6

【지정된변리사】 오원석

【포괄위임등록번호】 2001-041985-8

【발명자】

【성명의 국문표기】 서영훈

【성명의 영문표기】 SEO, YOUNG HUN

【주민등록번호】 691112-1480811

【우편번호】 420-130

【주소】 경기도 부천시 원미구 도당동 222번지

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 유미특허법인 (인)

【수수료】

【기본출원료】 12 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 소자의 트렌치를 형성하는 방법에 관한 것으로, 그 목적은 보이드가 형성되지 않고 트렌치가 완전히 매립되도록 트렌치 산화막을 형성하는 방법을 제공하는 것이다. 이를 위해 본 발명에서는 반도체 기판 상에 패드산화막과 실리콘질화막을 형성하는 단계; 실리콘질화막 상에 반사방지막을 형성하고, 반사방지막을 선택적으로 식각하여 반사방지막 패턴을 형성하는 단계; 반사방지막 패턴을 통해 노출된 실리콘질화막, 패드산화막 및 목적하는 소정깊이의 반도체 기판을 건식식각하여 트렌치를 형성하되, 건식식각 중에 반사방지막 패턴의 끝단을 식각하고 반사방지막 패턴의 끝단 하부에 위치한 실리콘질화막을 식각하여 실리콘질화막의 상부 모서리를 라운딩시키는 단계; 및 트렌치의 내부를 매립하도록 절연막을 형성하는 단계를 포함하여 반도체 소자의 트렌치를 형성한다.

【대표도】

도 2d

【색인어】

트렌치, 반사방지막, 건식식각

【명세서】**【발명의 명칭】**

반도체 소자의 트렌치 형성 방법 {Formation method of trench in semiconductor device}

【도면의 간단한 설명】

도 1은 종래 트렌치 격리구조를 도시한 단면도이다.

도 2a 내지 도 2d는 본 발명에 따른 반도체 소자의 트렌치 형성 방법을 도시한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 소형화된 소자에서 좁은 트렌치 내에 보이드 없이 절연물질을 매립하는 방법에 관한 것이다.
- <4> 반도체 소자의 격리구조로서 트렌치 격리구조 (STI : shallow trench isolation)가 많이 사용되고 있다. 트렌치 격리구조에서는 반도체 기판 내에 트렌치를 형성하고 그 내부에 절연물질을 충전시킴으로써 필드영역의 크기를 목적인 트렌치의 크기로 제한하기 때문에 반도체 소자의 미세화에 유리하다.
- <5> 도 1은 종래 트렌치 격리구조를 도시한 단면도이다. 이러한 종래 트렌치 격리구조를 형성하기 위해서는, 먼저 반도체 기판(1) 상에 패드산화막(2)을 200Å 정도 증착하고, 그 위에 실리콘질화막(3)을 증착한 후, 그 상부에 감광막을 도포하고 노광하여 트렌치로 예정된 영역의 상부에 해당하는 감광막만을 제거하여 감광막 패턴(미도시)을 형성한다.

- <6> 다음, 감광막 패턴을 마스크로 하여 노출된 실리콘질화막(3), 패드산화막(2) 및 목적하는 소정깊이의 기판(1)을 건식식각하여 반도체 기판(1) 내에 트렌치(100)를 형성한 다음, 감광막 패턴을 제거하고 세정공정을 수행한다.
- <7> 이어서, 트렌치(100)의 내벽을 포함하여 실리콘질화막(3)의 상부 전면에 라이너산화막(4)을 형성하고, 라이너산화막(4) 상에 트렌치(100)를 충분히 충전시키도록 트렌치산화막(5)을 두껍게 증착한다.
- <8> 이 때 라이너산화막(4)은 트렌치 산화막(5) 증착 시의 스트레스 등이 트렌치에 직접 전달되는 것을 억제하거나 또는 트렌치 영역에서 노출된 기판(1)과 실리콘질화막(3)간의 재료 차이에 기인한 증착 속도 차이에 따른 트렌치 산화막(5)의 불균일성을 해소하는 역할을 한다.
- <9> 또한, 라이너산화막(4)을 형성하면 이후 트렌치 격리공정 완료 후 트렌치와 인접한 반도체 기판의 상부 모서리가 너무 뾰족해지지 않고 라운딩되도록 하는 효과도 있다.
- <10> 이후에는 실리콘질화막(3)이 노출될 때까지 트렌치 산화막(5)을 화학기계적 연마하여 평탄화시킴으로써, 트렌치 격리공정을 완료한다.
- <11> 그런데, 소자의 고집적화에 따라 트렌치 폭의 감소와 깊이의 증가로 인해 트렌치의 종횡비(aspect ratio)가 커지면, 트렌치 산화막(5) 증착시 트렌치의 깊은 부분을 미처 매립하기 전에 입구부분이 먼저 막혀 트렌치 내부에 산화막이 완전히 매립하지 못하고 보이드(6)가 발생할 가능성이 증가하는 문제점이 있었다.
- <12> 현재 트렌치 매립 공정으로는 $0.24\mu\text{m}$ 폭의 트렌치를 보이드 없이 매립할 수는 있으나, $0.21\mu\text{m}$, $0.18\mu\text{m}$ 등으로 줄어드는 폭의 트렌치를 보이드 없이 매립하는 것은 불가능하다.

<13> 이와 같이 트렌치 산화막(5) 내에 보이드(6)가 발생하면 트렌치 산화막의 평탄화를 위한 화학기계적 연마시 그 보이드(6)가 노출되어 평탄화가 어려워지고, 평탄화 후 보이드가 노출되어 있다가 후속 공정에서 전극 형성용으로 증착하는 폴리실리콘이 보이드로 들어가면 누설전류가 발생하여 소자의 오동작을 유발하는 등 소자에 치명적인 악영향을 미치는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 보이드가 형성되지 않고 트렌치가 완전히 매립되도록 트렌치 산화막을 형성하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<15> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 실리콘질화막 상에 반사방지막을 형성한 후 트렌치 형성을 위한 건식식각 시 식각조건을 조절함으로써 반사방지막의 끝단을 식각하고 그 하부의 실리콘질화막을 식각하여 결과적으로 실리콘질화막의 상부 모서리를 라운딩시키는 것을 특징으로 한다.

<16> 즉, 본 발명에 따른 반도체 소자의 트렌치 형성 방법은, 반도체 기판 상에 패드산화막과 실리콘질화막을 형성하는 단계; 실리콘질화막 상에 반사방지막을 형성하고, 반사방지막을 선택적으로 식각하여 반사방지막 패턴을 형성하는 단계; 반사방지막 패턴을 통해 노출된 실리콘질화막, 패드산화막 및 목적하는 소정깊이의 반도체 기판을 건식식각하여 트렌치를 형성하되, 건식식각 중에 반사방지막 패턴의 끝단을 식각하고 반사방지막 패턴의 끝단 하부에 위치한 실리콘질화막을 식각하여 실리콘질화막의 상부 모서리를 라운딩시키는 단계; 및 트렌치의 내부를 매립하도록 절연막을 형성하는 단계를 포함하여 이루어진다.

- <17> 여기서 건식식각 시 식각가스로서 CHF_3 , CF_4 , O_2 , HeO_2 , 및 Ar을 사용하고, 식각가스의 공급유량을 CHF_3 가스의 경우 60sccm 이하로, CF_4 가스의 경우 60sccm 이하로, O_2 가스의 경우 30sccm 이하로, HeO_2 가스의 경우 60sccm 이하로, Ar 가스의 경우 200sccm 이하로 하며, 식각가스를 주입한 상태에서 전력을 50-500W 인가하여 플라즈마를 발생시키고, 압력을 5-100 mTorr의 범위로 하여 건식식각하는 것이 바람직하다.
- <18> 이하, 본 발명에 따른 반도체 소자 제조 방법에 대해 도 2a 내지 도 2d를 참조하여 설명한다. 도 2a 내지 도 2d는 본 발명에 따른 반도체 소자의 트렌치 형성 방법을 도시한 단면도이다.
- <19> 먼저, 도 2a에 도시된 바와 같이, 반도체 기판(11) 상에 패드산화막(12)을 얇게 증착하고, 패드산화막(12) 위에 실리콘질화막(13)을 증착한 후, 실리콘질화막(13) 상에 반사방지막(ARC : anti-reflection coating)(14)을 증착한다.
- <20> 반사방지막(14)으로서 특별히 한정하는 것은 없으며 유기물질로 이루어진 통상적인 반사방지막을 사용하면 된다.
- <21> 이어서, 반사방지막(14) 상에 감광막을 도포하고 노광하여 트렌치로 예정된 영역의 상부에 해당하는 감광막만을 제거하여 감광막 패턴(15)을 형성한다.
- <22> 이 때, 패드산화막(12)은 실리콘질화막(13) 자체의 스트레스가 반도체 기판(11)에 그대로 전달되는 것을 억제하기 위해 선택적으로 증착하는 것으로서 100-300Å 정도의 두께로 얇게 증착하는 것이 바람직하다.

- <23> 실리콘질화막(13)은 산화막과의 선택비가 큰 재료이므로 후속공정인 트렌치 산화막의 화학기계적 연마 공정에서 종료층 역할을 하며 보통 1000-3000 Å 정도의 두께로 증착하는 것이 바람직하고, 일 예로서 2000 Å 두께로 증착할 수 있다.
- <24> 반사방지막(14)은 이후 형성될 실리콘질화막 패턴의 모서리부분을 식각하기 위한 목적으로 증착하는 것이다.
- <25> 다음, 도 2b에 도시된 바와 같이, 감광막 패턴을 마스크로 하여 노출된 반사방지막(14)을 식각한다.
- <26> 다음, 도 2c에 도시된 바와 같이, 노출된 실리콘질화막(13), 패드산화막(12) 및 목적하는 소정깊이의 반도체 기판(11)을 건식식각하여 트렌치(100)를 형성한 후, 감광막 패턴(15)을 제거하고 세정공정을 수행한다.
- <27> 이 때 반사방지막의 끝단이 미량 제거되면서 그 하부의 실리콘질화막(13)의 상부 모서리가 라운딩되도록 하기 위하여 식각조건을 조절한다.
- <28> 즉, 플라즈마를 이용한 건식식각 시, 식각가스로서 CHF_3 , CF_4 , O_2 , HeO_2 , Ar 등을 사용하며, 이들 식각가스의 공급유량을 CHF_3 가스의 경우 60sccm 이하로, CF_4 가스의 경우 60sccm 이하로, O_2 가스의 경우 30sccm 이하로, HeO_2 가스의 경우 60sccm 이하로, Ar 가스의 경우 200sccm 이하로 한다.
- <29> 또한, 상술한 식각가스를 주입한 상태에서 플라즈마 발생을 위한 전력을 50-500W 의 범위로 인가하고, 압력을 5-100 mTorr의 범위로 하여 건식식각을 진행한다.
- <30> 이러한 조건으로 건식식각하면 실리콘질화막(13)의 식각 초기에 형성되는 사이드월 폴리머를 제거함으로써 반사방지막의 끝단을 식각하고 따라서 그 하부의 실리콘질화막(13)이 식각

되어 상부 모서리가 라운딩되고 라운딩된만큼 트렌치를 향한 입구부분이 넓어지는 결과를 가져온다.

<31> 다음, 도 2d에 도시된 바와 같이, 실리콘질화막(13) 및 트렌치의 내벽을 포함하여 반도체 기판(11)의 상부 전면에 라이너산화막(16)을 증착한 후, 라이너산화막(16) 상에 트렌치를 충분히 매립하도록 산화막(17)을 두껍게 증착한다.

<32> 이 때 실리콘질화막(13)의 상부 모서리가 라운딩되어 있어서 트렌치의 입구부분이 넓어져 있으므로 트렌치의 깊은 부분이 미처 매립되기 전에 입구부분이 먼저 막히는 일이 없으며, 따라서 보이드 없이 트렌치 내부가 완전히 매립되도록 산화막(17)을 형성하는 것이 가능해진다

<33> 이후에는 실리콘질화막(13)이 노출될 때까지 산화막(15)을 화학기계적 연마하여 평탄화 시킴으로써, 트렌치 격리공정을 완료한다.

【발명의 효과】

<34> 상술한 바와 같이, 본 발명에서는 실리콘질화막 상에 반사방지막을 형성한 후 트렌치 형성을 위한 건식식각 시 식각조건을 조절함으로써 반사방지막의 끝단을 식각하고 그 하부의 실리콘질화막을 식각하여 결과적으로 실리콘질화막의 상부 모서리를 라운딩시키므로, 트렌치 산화막을 보이드 없이 형성하는 효과가 있다.

<35> 따라서, 게이트 산화막 내에서의 보이드 형성으로 인한 누설전류에 기인한 소자의 신뢰성 감소 요인의 발생을 방지하고, 소자의 수율이 향상되는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 패드산화막과 실리콘질화막을 형성하는 단계;

상기 실리콘질화막 상에 반사방지막을 형성하고, 상기 반사방지막을 선택적으로 식각하여 반사방지막 패턴을 형성하는 단계;

상기 반사방지막 패턴을 통해 노출된 실리콘질화막, 패드산화막 및 목적하는 소정깊이의 반도체 기판을 건식식각하여 트렌치를 형성하되, 상기 건식식각 중에 상기 반사방지막 패턴의 끝단을 식각하고 상기 반사방지막 패턴의 끝단 하부에 위치한 실리콘질화막을 식각하여 상기 실리콘질화막의 상부 모서리를 라운딩시키는 단계; 및

상기 트렌치의 내부를 매립하도록 절연막을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 건식식각 시 식각가스로서 CHF_3 , CF_4 , O_2 , HeO_2 , 및 Ar을 사용하고, 상기 식각가스의 공급유량을 CHF_3 가스의 경우 60sccm 이하로, CF_4 가스의 경우 60sccm 이하로, O_2 가스의 경우 30sccm 이하로, HeO_2 가스의 경우 60sccm 이하로, Ar 가스의 경우 200sccm 이하로 하며,

상기 식각가스를 주입한 상태에서 전력을 50-500W 인가하여 플라즈마를 발생시키고, 압력을 5-100 mTorr의 범위로 하여 건식식각하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 3】

제 2 항에 있어서,

상기 실리콘질화막을 1000-3000 Å 두께로 증착하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【청구항 4】

제 3 항에 있어서,

상기 트렌치의 내부를 매립하도록 절연막을 형성할 때에는, 상기 실리콘질화막 및 상기 트렌치의 내부를 포함한 상부 전면에 상기 트렌치의 내부를 매립하도록 절연막을 형성한 후, 상기 실리콘질화막이 노출될때까지 상기 절연막을 화학기계적 연마하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

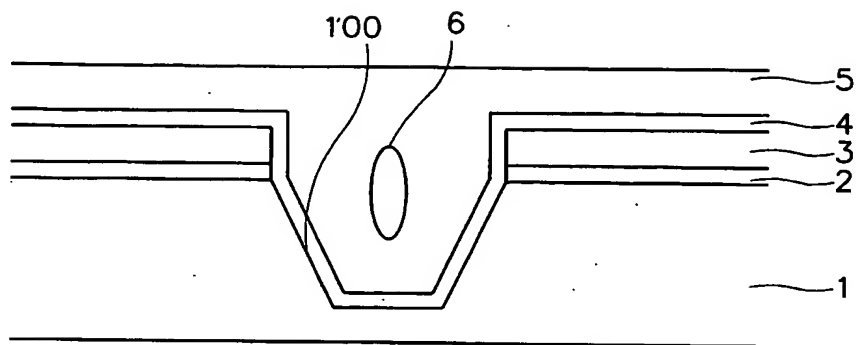
【청구항 5】

상기 제 4 항에 있어서,

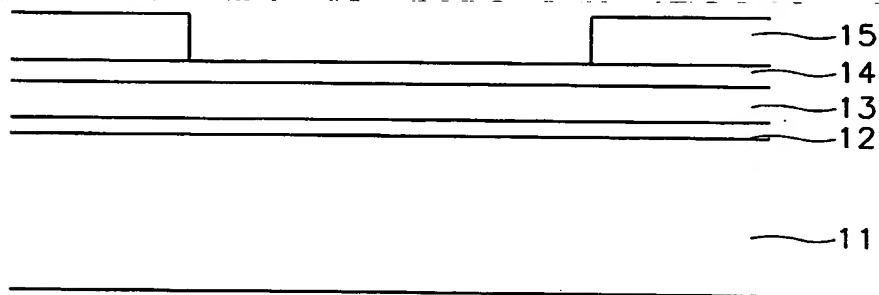
상기 절연막 형성 전에, 상기 실리콘질화막 및 상기 트렌치의 내부를 포함한 상부 전면에 라이너산화막을 형성한 후, 상기 라이너산화막 상에 상기 트렌치의 내부를 매립하도록 절연막을 형성하는 것을 특징으로 하는 반도체 소자의 트렌치 형성 방법.

【도면】

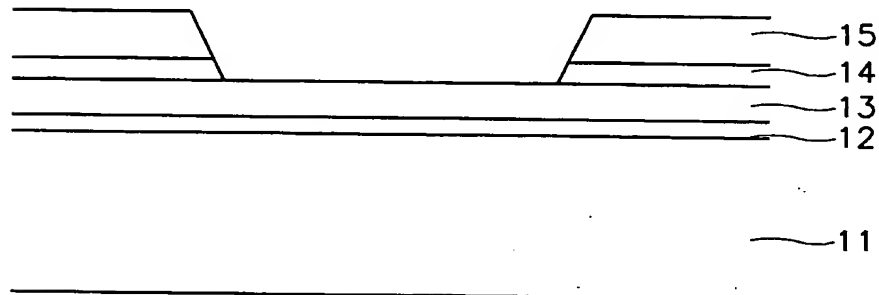
【도 1】



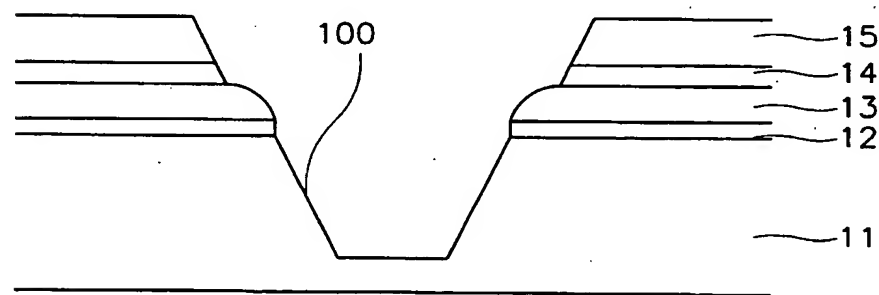
【도 2a】



【도 2b】



【도 2c】



【도 2d】

